

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04044692 A**

(43) Date of publication of application: **14 . 02 . 92**

(51) Int. Cl

**G11C 11/401**

(21) Application number: **02153062**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **11 . 06 . 90**

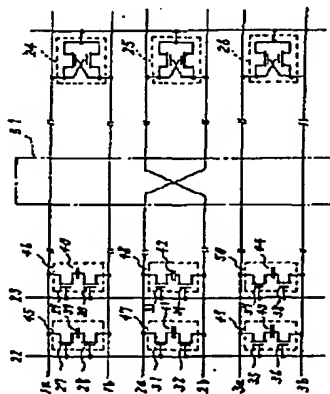
(72) Inventor: **OISHI TSUKASA**

(54) **SEMICONDUCTOR MEMORY**

(57) Abstract:

**PURPOSE:** To unnecessitate a dummy memory cell by adopting two transistors and one capacitor as memory cells.

**CONSTITUTION:** In the circuit diagram of the semiconductor memory, the fact of composing memory cell parts 45-50 are composed of two transistors and one capacitor is different from conventional one, and a dummy word line and the dummy memory cell are unnecessitated. As the configuration, in the semiconductor memory crossing the two bit lines at every two paired bit lines in the middle of the paired bit lines, two gates among transfer gates 27-38 are connected to one word line in paired bit lines 1a, 1b, 2a, 2b, 3a and 3b, and the sources of the respective transfer gates are connected to capacitors 39-44.



COPYRIGHT: (C)1992,JPO&Japio



10/15(火) DP 2nd 入手  
(野村ルートに2入手)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-44692

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月14日

G 11 C 11/401

8526-5L G 11 C 11/34 362 A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-153062

⑰ 出 願 平2(1990)6月11日

⑱ 発 明 者 大 石 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

複数のワード線及びビット線とこれらの交点に位置するメモリセルとから成るメモリセルアレイを有し、上記ビット線2本が対をなして上記ビット線間の電位差を検出する1つのセンスアンプに入力され、又、上記ビット線対は1対おきのビット線対においてビット線の交差部を有する構成の半導体記憶装置において、1ビットを記憶する上記メモリセルを1つのキャパシタと同一ワード線によりゲートを制御し、それぞれのメモリセルのトランジスタのソース・ドレインのいずれかが上記ビット線対のいずれかのビット線に接続し、それぞれの上記トランジスタの残りのソース・ドレインが上記キャパシタの電極となる異なる導電膜に接続する2つのM・Sトランジスタで構成したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔 発明上の利用分野 〕

この発明はダイナミック型半導体記憶装置に関し、特に信号読み出し誤りを防止する半導体記憶装置に関するものである。

〔 従来の技術 〕

第2図は従来の1トランジスタ1キャパシタでメモリセルを構成するダイナミック型半導体記憶装置の回路図である。ビット線対(1a, 1b)、(2a, 2b)、(3a, 3b)には複数のキャパシタ(4)、(5)、(6)、(7)、(8)、(9)と、ビット線とキャパシタとを接続するためのトランスファゲート04、05、06、07、08、09が接続され、それぞれ1個のトランジスタと1個のキャパシタとでメモリセル04、07、08、09、10、11が構成されている。また、ダミーワード線(52)には、それぞれメモリセル04、07、08、09、10、11と同様の構成をしたダミーメモリセル(53)、(54)、(55)が接続されている。

このダイナミック型半導体記憶装置において第2図で、例えばビット線対(2a)、(2b)を選択した場合についてその動作説明する

まず書き込みについては、ワード線④に正電圧を印加し、トランスファゲート③を導通状態にしておいて、ビット線から電子を供給した後、トランスファゲート③を非導通にすれば、電子がキャパシタ(6)に蓄積され情報“L”の書き込みとなり、ビット線(2a)から電子を供給しなければ、キャパシタ(6)は電子が空の状態になり情報“H”の書き込みとなる。

また、読み出しについてはビット線対(2a)、(2b)をあらかじめ決められた電位 $V_P$ (プリチャージ電位)にした後、フローティング状態にし、トランスファゲート③を開くと、キャパシタ(6)に蓄積されている電子とビット線(2a)に存在する電子が平均され、情報“L”の場合はビット線(2a)の電位が少し下がり、情報“H”の場合はビット線(2a)の電位が少し上がる。これを基準電位となるビット線(2b)の電位と比較し、その差をセンスアンプ④により増幅する。

次に信号読み出し時に、各ビット線対上にあらわれる信号電圧を考える。各ビット線は第3図に

上記(1)式と上記(2)式と $V_P = 1/2 V_{CC}$ であることを用いれば、

$$1/2 C_B V_{00} = C_B (V_H - V_L) + C_S (V_H - V_L) + 2 C_{BB} (V_H - V_L) + C_{BB} (V_H - V_L - V_1 + V_2) \dots (3)$$

上記(3)式となる。上記(3)式において、ビット線間ノイズの影響が出て、読み出し電位差が最も小さくなるのは、 $V_1 = V_L$ 、 $V_2 = V_H$ の時である。このとき、

$$1/2 C_B V_{00} = (V_H - V_L) (C_B + C_S + 4 C_{BB}) \dots (4)$$

となり、読み出し電位差は

$$V_H - V_L = \frac{1/2 C_B V_{00}}{C_B + C_S + 4 C_{BB}} \dots (5)$$

となる。

メモリセルの高集積化が進み、ビット線ピッチが小さくなってくると、ビット線間容量 $C_{BB}$ が増大し、読み出し電位差が小さくなり、読み出し余裕が低下すると共にソフトエラー耐性が悪化し、ついには誤動作に至るという問題が生ずる。

このような問題に対して改良された従来のものとして、1つおきのビット線対の2本のビット線

(2)

示すように、各セルプレートあるいは基板を介して接地電圧(固定電位)に対して $C_B$ 、隣接ビット線に対して $C_{BB}$ なる容量を有するものとする。メモリセル容量を $C_S$ とすると、メモリセルには“H”書き込み時で書き込み電圧を $V_{00}$ とすると $C_S V_{00}$ 、“L”書き込み時で0なる電荷が蓄えられている。

ビット線のプリチャージレベルを $\frac{V_{CC}}{2}$ として、セルプレート電圧を $V_{OP}$ とすると、例えばビット線対(2a)、(2b)が選択され、ビット線(2a)が“H”、ビット線(2b)が“L”、ビット線(1b)の電位が $-V_1$ 、ビット線(3a)の電位が $-V_2$ の時を考えてみる。

ビット線(2a)の読み出し前と読み出し後の変位は、

$$C_B V_P + C_S (V_{00} - V_{OP}) = C_B V_H + C_S (V_H - V_{OP}) + C_{BB} (V_H - V_L) + C_{BB} (V_H - V_1) \dots (1)$$

ビット線(2b)の読み出し前と読み出し後の変位は、

$$C_B V_P + C_S (V_P - V_{OP}) = C_B V_L + C_S (V_L - V_{OP}) + C_{BB} (V_L - V_H) + C_{BB} (V_L - V_2) \dots (2)$$

をビット線対の途中で交差させる方式がある。この方式はビット線間容量の増大による読み出し電位差の低下を抑えようとするものである。次に、この方式により隣接ビット線間容量のノイズがどのように低減されるかを説明する。

第4図は特開昭60-254489号公報に示された改良された従来のダイナミック型半導体記憶装置の回路図である。図において、(51)はビット線対の交差部を表わす。

第5図は上記第3図に対応するもので、各ビット線に対する容量を示す。説明のため、ビット線を長さ $\frac{L}{2}$ ずつの部分Aと部分Bとに分ける。従つて、各部分のビット線の容量は各成分がそれぞれ $1/2 C_B$ 、 $1/2 C_{BB}$ となつている。交差部を持つビット線対であるビット線対(2a)、(2b)について考える。

ビット線(2a)の電位は、

$$C_B V_P + C_S (V_{00} - V_{OP}) = C_B V_H + C_S (V_H - V_{OP}) + C_{BB} (V_H - V_L) + \frac{C_{BB}}{2} (V_H - V_1) + \frac{C_{BB}}{2} (V_H - V_2) \dots (6)$$

ビット線 (2b) の電位は、

$$C_B V_P + C_B (V_P - V_{OP}) = C_B V_L + C_B (V_L - V_{OP}) + C_{BB} (V_L - V_H) + \frac{C_{BB}}{2} (V_L - V_1) + \frac{C_{BB}}{2} (V_L - V_2) \dots\dots\dots (7)$$

上記(6)式と上記(7)式及び  $V_P = 1/2 V_{OO}$  であることを用いると、

$$1/2 C_B V_{OO} = C_B (V_H - V_L) + C_B (V_H - V_L) + 2 C_{BB} (V_H - V_L) + \frac{C_{BB}}{2} (V_H - V_L) + \frac{C_{BB}}{2} (V_H - V_L) = (V_H - V_L) (C_B + C_B + 3 C_{BB}) \dots\dots\dots (8)$$

読み出し電位差は、

$$V_H - V_L = \frac{1/2 C_B V_{OO}}{C_B + C_B + 3 C_{BB}} \dots\dots\dots (9)$$

前記(5)式と上記(9)式を比較すると、読み出し電位差が大きくなり、改良されているのが判る。

ところが、ここで第4図におけるビット線 (3a) について同様の計算を行うと、最悪の状態での読み出し電位差  $V_H - V_L$  は、

電位差を考えてみる。

但し、この従来のもものでは前記第2図の従来例に対してメモリセル部が異なっているのみであるから、第5図に示す各ビット線間の容量関係を示す図は第3図のものと同一である。

まず、ビット線 (2a) の電位変化は電荷保存の法則により、最も線間ノイズの大きいパターンを考えて、メモリセルの容量を  $C_B'$  とすると、

$$C_B V_P + C_B' V_{OO} = C_B V_H + C_B' (V_H - V_L) + C_{BB} (V_H - V_L) + C_{BB} (V_H - V_L) \dots\dots\dots (10)$$

となる 同様にビット線 (2b) の電位変化は、

$$C_B V_P - C_B' V_{OO} = C_B V_L + C_B' (V_L - V_H) + C_{BB} (V_L - V_H) + C_{BB} (V_L - V_H) \dots\dots\dots (11)$$

(10)式と(11)式より

$$2 C_B' V_{OO} = C_B (V_H - V_L) + 2 C_B' (V_H - V_L) + 2 C_{BB} (V_H - V_L) + 2 C_{BB} (V_H - V_L) = (V_H - V_L) (C_B + 2 C_B' + 4 C_{BB}) \dots\dots\dots (12)$$

よつて読み出し電位差  $V_H - V_L$  は

$$V_H - V_L = \frac{2 C_B' V_{OO}}{C_B + 2 C_B' + 4 C_{BB}} \dots\dots\dots (13)$$

$$(3) \quad V_H - V_L = \frac{1/2 C_B V_{OO}}{C_B + C_B + 4 C_{BB}} \dots\dots\dots (14)$$

となり、読み出し電位差における  $C_{BB}$  の影響が第2図に述べた従来のものに比べ改善されていないことがわかる。

第6図は従来のもう1つの改良されたダイナミック型半導体記憶装置の回路図である。第6図が第2図の従来のもものと相違するのはメモリセル部44、45、46が2個のNチャネルトランジスタと1個のキャパシタで構成されており、又、ダミーワード線およびダミーメモリセルが不用となつてゐる点である。

構成としては、ビット線対 (1a)、(1b)、(2a)、

(2b)、(3a)、(3b) においてそれぞれ1本のワード線47に対して2個のトランスファゲート48、49、50、51、52のゲートが接続され、各トランスファゲートのソースがキャパシタ44、45、46に接続されている。

このダイナミック型半導体記憶装置において例えば、ビット線対 (2a)、(2b) についてその読み出し

となる。上記(14)式と前記(13)式と比較すると分母部で係数が2となり、一見読み出し電位差は大きくなつたように見えるが実際のダイナミック型ランダムアクセスメモリを考えると、 $C_B'$  は第2図の従来例における  $C_B$  よりも小さくなる。この為、ビット線間容量によるノイズの影響をあまり改善できないことが判る。

〔発明が解決しようとする課題〕

従来半導体記憶装置は以上のように構成されていたので、隣接ビット線間容量が増大するにつれ、読み出し電位差が減少し、読み出し余裕の低下等を招き、誤動作に至つたりソフトエラー率の悪化等の問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、従来のもものよりも読み出し電位差を大きくできる半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体記憶装置は、1つおきのビット線対の2本のビット線が交差部を有するビ

ット線構成を持つ半導体記憶装置において、メモ (4) リセルを2個のトランジスタと1個のキャパシタで構成したものである。

#### 〔作用〕

この発明における半導体記憶装置は、2個のトランジスタと1個のキャパシタでメモリセルを構成することにより、読み出し電位差が大きくなりビット線間容量ノイズによる電位の変化が起こつても、読み出しビット線と基準ビット線の電位の高低関係の反転を起こり難くし、又、ダミーメモリセルが不用となる。

#### 〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例である半導体記憶装置の回路図である。第4図に示す改良された従来のものとはメモリセル部、40、41、42、43、44、45が2個のトランジスタと1個のキャパシタで構成されている点が異なり、又、ダミーワード線及びダミーメモリセルが不用となつている。

構成としては、1つおきのビット線対の2本の

ビット線 (2a) の電位変化は、

$$C_B V_P - C_S' V_{00} = C_B V_L + C_S' (V_L - V_H) + C_{BB} (V_L - V_H) + \frac{C_{BB}}{2} (V_L - V_1) + \frac{C_{BB}}{2} (V_L - V_2) \quad \dots\dots 06$$

00と00より

$$\begin{aligned} 2 C_S' V_{00} &= C_B (V_H - V_L) + 2 C_S' (V_H - V_L) + \\ 2 C_{BB} (V_H - V_L) &+ \frac{C_{BB}}{2} (V_H - V_L) + \frac{C_{BB}}{2} (V_H - V_L) \\ &= (V_H - V_L) (C_B + 2 C_S' + 3 C_{BB}) \quad \dots\dots 07 \end{aligned}$$

よつて読み出し電位差は、

$$V_H - V_L = \frac{2 C_S' V_{00}}{C_B + 2 C_S' + 3 C_{BB}} \quad \dots\dots 08$$

となる。上記08式と前記(9)式と比較すると、分母部で  $C_S'$  が2倍となつているが、この08式において  $C_S'$  は  $C_B$  に比較してかなり小さい。そして、分子部において  $C_S' V_{00}$  が4倍になつており、読み出し電位差が大きく改善されているのが判る。

又、この実施例によればメモリセルキャパシタの容量  $C_S'$  を第2図に示す前記従来のものの  $1/4$  に

ビット線をビット線対の途中で交差させる半導体記憶装置において、ビット線対 (1a), (1b), (2a), (2b), (3a), (3b) においてそれぞれ1本のワード線に対して2個のトランスファゲート、40、41、42、43、44、45、46、47、48、49のゲートが接続され、各トランスファゲートのソースがキャパシタ40、41、42、43、44、45に接続されている。

次に、上記ダイナミック型半導体記憶装置において、信号読み出し時に各ビット線対にあらわれる信号電圧を考える。但し、この実施例では改良された従来例に対してメモリセルが異なつているのみであるから、第1図に対する各ビット線の容量関係を示す図は第5図と同一である。

例えばビット線対 (2a), (2b) についてその読み出し電位差を考えると、

ビット線 (2a) の電位変化は、

$$\begin{aligned} C_B V_P + C_S' V_{00} &= C_B V_H + C_S' (V_H - V_L) + \\ C_{BB} (V_H - V_L) &+ \frac{C_{BB}}{2} (V_H - V_L) + \frac{C_{BB}}{2} (V_H - V_L) \\ &\dots\dots 09 \end{aligned}$$

減少させた状態でもビット線の交差を1回行うだけで、ダミーメモリセルを用いなくても従来の改良例をさらに改良した特開昭63-26895号公報に示されたビット線2回交差方式と同様のビット線間ノイズによる読み出し電位差低減防止効果を得ることができる。

ここで特開昭63-26895号公報に示されるビット線交差法ではこの実施例と同様の計算を行う読み出し電位差  $V_H - V_L$  はどのビット線においても

$$V_H - V_L = \frac{1/4 C_S' V_{00}}{C_B + C_S' + 3 C_{BB}} \quad \dots\dots 09$$

となつている。

なお、上記実施例ではセンスアンプにNMOS型センスアンプを用いた場合を示したが、センスアンプにCMOS型のセンスアンプを用いてもよい。

又、上記実施例ではビット線対が交差部を持たない構成と1個のビット線対おきに交差部を持つ構成について説明したが、ビット線の交差部は、任意のビット線について、又はビット線上の任意の場所に配置することができる。

(5)

又、上記実施例に用いられるメモリセルキャパシタは、特に特定せずあらゆる形状のキャパシタに適用できる。

#### 〔発明の効果〕

以上のようにこの発明によれば、1つおきのビット線対の2本のビット線がフォールデッドビット線構成をとる半導体記憶装置において、メモリセルとして2トランジスタ、1キャパシタを採用したので、ビット線間容量を介した隣接ビット線からの雑音を読み出し電位差に与える影響を小さくし、又、ダミーメモリセルが不用となるという効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例である半導体記憶装置の回路図、第2図は従来の半導体記憶装置の回路図、第3図は第2図の回路の各ビット線の容量関係を示す説明図、第4図は従来の第1改良例である半導体記憶装置の回路図、第5図は第4図の回路の各ビット線の容量関係を示す説明図、第6図は従来の第2の改良例である半導体記憶装置

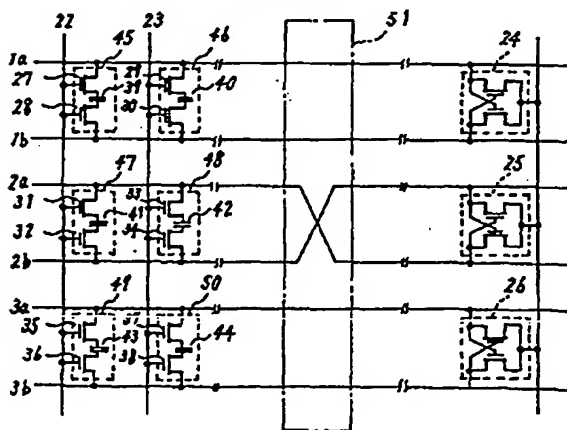
の回路図である。

図において、24〜26はセンスアンプ、24〜26はトランスファゲート、24〜26はキャパシタ、24〜26はメモリセル、(51)はビット線交差部を示す。

なお、図中、同一符号は同一、または相当部分を示す。

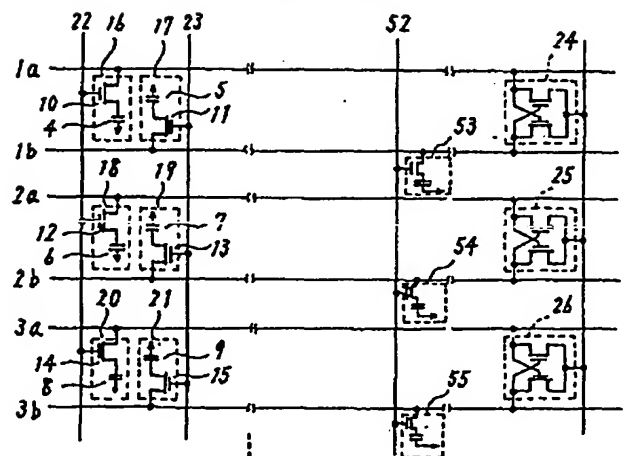
代理人 大 岩 増 雄

第1図



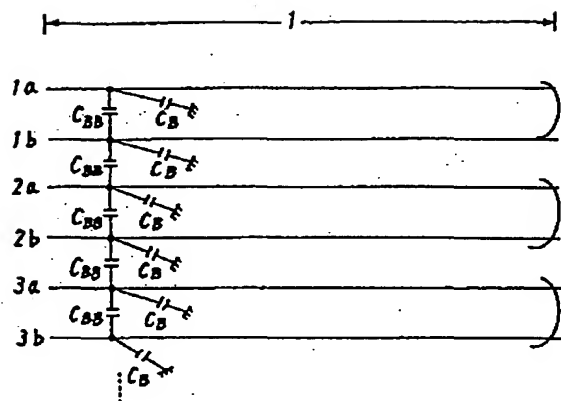
24〜26: センスアンプ  
27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38: トランスファゲート  
39, 40, 41, 42, 43, 44: キャパシタ  
45, 46, 47, 48, 49, 50: メモリセル  
51: ビット線交叉部

第2図

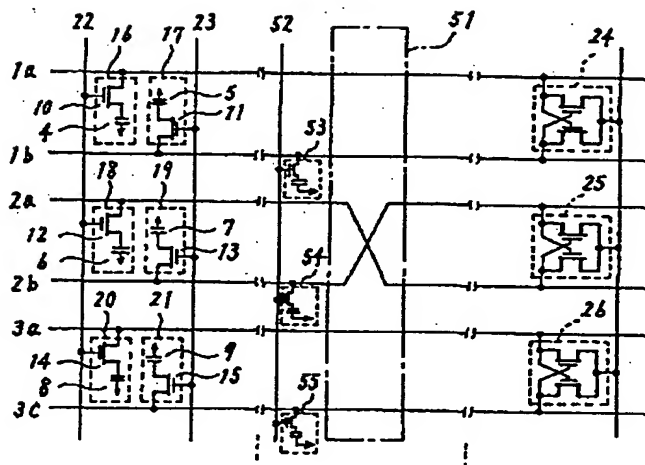


(6)

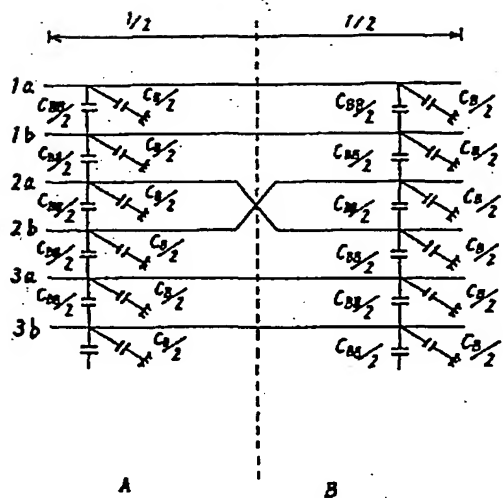
第3圖



第4圖



第5圖



第6圖

